

# CURRENT GENERATING CIRCUIT, SEMICONDUCTOR INTEGRATED CIRCUIT, ELECTRO-OPTICAL DEVICE AND ELECTRONIC APPARATUS

**Publication number:** JP2003150115

**Publication date:** 2003-05-23

**Inventor:** KASAI TOSHIYUKI

**Applicant:** SEIKO EPSON CORP

**Classification:**

- international: G09G3/32; G09G3/32; (IPC1-7): G09G3/30; G09G3/20

- european: G09G3/32A

**Application number:** JP20020223164 20020731

**Priority number(s):** JP20020223164 20020731; JP20010260115 20010829

**Also published as:**



EP1288905 (A2)

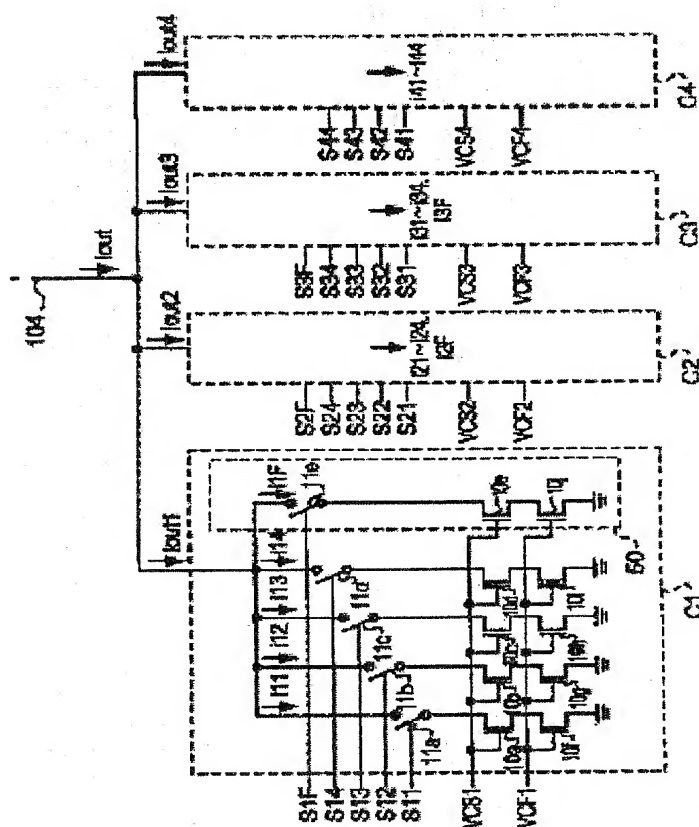
US2003058199 (A1)

EP1288905 (A3)

Report a data error here

## Abstract of JP2003150115

**PROBLEM TO BE SOLVED:** To provide a current generating circuit which has a simple constitution, improved durability and a low power consumption. **SOLUTION:** A circuit block C1 generates a sub-current  $i_{out1}$  by appropriately selecting element currents  $i_{11}$  to  $i_{14}$  and  $i_{1F}$  in accordance with data (bits)  $S_{11}$  to  $S_{14}$  and  $S_{1F}$ . Similarly, a circuit block C2 generates a sub-current  $i_{out2}$  by appropriately selecting element currents  $i_{21}$  to  $i_{24}$  and  $i_{2F}$  in accordance with bits  $S_{21}$  to  $S_{24}$  and  $S_{2F}$ . A circuit block C3 generates a sub-current  $i_{out3}$  by appropriately selecting element currents  $i_{31}$  to  $i_{34}$  and  $i_{3F}$  in accordance with bits  $S_{31}$  to  $S_{34}$  and  $S_{3F}$ . A circuit block C4 generates a sub-current  $i_{out4}$  by appropriately selecting element currents  $i_{41}$  to  $i_{44}$  in accordance with bit  $S_{41}$  to  $S_{44}$ . Then, these sub-currents  $i_{out1}$ ,  $i_{out2}$ ,  $i_{out3}$  and  $i_{out4}$  are combined to generate a main current  $i_{out}$ .



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J.P.)

(12) 公開特許公報 (A)

(11) 特許公開番号  
特開2003-150115  
(P2003-150115A)

(43) 公開日 平成15年5月23日 (2003.5.23)

(51) Int. Cl. <sup>7</sup> G09G 3/80 3/20	識別記号 B11 B12 B22	F1 G09G 3/30 3/20	フィート(参考) J EC08D K B11A B12F B22Q
審査請求 未請求 請求項の数14 図1 (全18図) 発明者(参考)			

(21) 出願番号 特願2002-223164(P2002-223164)  
(22) 出願日 平成14年7月31日 (2002.7.31)  
(31) 優先権主張番号 特願2001-280115(P2001-280115)  
(32) 優先日 平成13年8月29日 (2001.8.29)  
(33) 優先権主張国 日本 (J.P.)

(71) 出願人 000002383  
セイコーエプソン株式会社  
東京都新宿区西新宿2丁目4番1号  
(72) 発明者 阿西 和幸  
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内  
(73) 代理人 100095728  
弁護士 上野 裕彦 (外2名)  
ドクターム(参考) .EC060 AA08 BB05 DE26 BE29 FF11  
GG12 JJ02 JJ03 JJ04 JJ06  
KK07 KK43 KK47

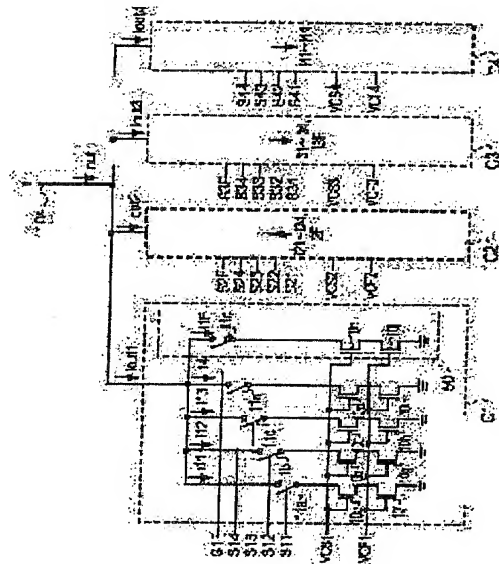
(54) 【発明の名称】 電流生成回路、半導体集積回路、電気光学装置および電子機器

(57) 【要約】

【課題】 構成がシンプルで耐久性に優れ、かつ、消費電力の少ない電流生成回路を提供する。

【解決手段】 回路ブロックC1は、要素電流I1～I14、I1Fを、データ(ビット)S11～S14、S1Fに応じて適宜選択することによって副電流Iout1を生成する。同様に、回路ブロックC2は、要素電流I21～I24、I2Fを、ビットS21～S24、S2Fに応じて適宜選択することによって副電流Iout2を生成し、回路ブロックC3は、要素電流I31～I34、I3Fを、ビットS31～S34、S3Fに応じて適宜選択することによって副電流Iout3を生成

し、回路ブロックC4は、要素電流I41～I44を、ビットS41～S44に応じて適宜選択することによって副電流Iout4を生成する。そして、これらの副電流Iout1、Iout2、Iout3、Iout4を合成して、主電流Ioutとする。



【特許請求の範囲】

【請求項1】 複数の要素電流の中から、入力されるデジタルデータに応じた要素電流を選択することにより副電流を出力する回路ブロックの複数個と、

前記副電流を合成することにより主電流を出力する合成回路とを備えることを特徴とする電流生成回路。

【請求項2】 請求項1に記載の電流生成回路において、

一の回路ブロックは、前記複数の要素電流の各々を、それぞれ利得係数の異なるトランジスタにより生成することを特徴とする電流生成回路。

【請求項3】 請求項2に記載の電流生成回路において、

前記トランジスタには、その利得係数の比が二進加重となる組み合わせのものが含まれることを特徴とする電流生成回路。

【請求項4】 請求項2または3に記載の電流生成回路において、

前記トランジスタの各々は、電界効果形トランジスタである。

一の回路ブロックにおけるトランジスタのゲート電極には、共通の基準電圧が供給されることを特徴とする電流生成回路。

【請求項5】 副電流を生成する回路ブロックの複数個と、

各回路ブロックにより生成された副電流を合成することにより主電流を出力する合成回路とを備え、

回路ブロックの各々は、入力されるデジタルデータが取り得る範囲を分割した範囲の各々に割り当てられ、

一の回路ブロックは、デジタルデータの値が該回路ブロックに割り当てられた範囲以下である場合、略ゼロの副電流を生成し、

デジタルデータの値が該回路ブロックに割り当てられた範囲にある場合、該デジタルデータに応じて略直線特性にて副電流を生成し、

デジタルデータの値が該回路ブロックに割り当てられた範囲以上である場合、該一のブロックに対して上位側に隣接するブロックに割り当てられたデジタルデータの範囲の最低値に相当する副電流を生成することを特徴とする電流生成回路。

【請求項6】 回路ブロックにおける略直線特性を、各回路ブロックに好し個別に設定可能とすることを特徴とする請求項5に記載の電流生成回路。

【請求項7】 請求項1から6までのいずれかに記載の電流生成回路において、

前記主電流の下限値を規定するオフセット電流経路を備えることを特徴とする電流生成回路。

【請求項8】 請求項1から7までのいずれかに記載の電流生成回路を集積化したことを特徴とする半導体集積回路。

【請求項9】 複数の走査線と、複数のデータ線と、前記走査線を駆動する走査線駆動回路と、前記データ線を駆動するデータ線駆動回路と、前記走査線および前記データ線の交差点に配置される電気光学素子とを備える電気光学装置であって、

前記データ線駆動回路は、請求項1から7までのいずれかに記載の電流生成回路を含み、該電流生成回路による主電流を一のデータ線に供給することを特徴とする電気光学装置。

【請求項10】 請求項9に記載の電気光学装置において、

前記電気光学素子は、電流によって駆動される被駆動素子であることを特徴とする電気光学装置。

【請求項11】 請求項10に記載の電気光学装置において、

前記被駆動素子は、有機エレクトロルミネッセンス素子であることを特徴とする電気光学装置。

【請求項12】 請求項11に記載の電気光学装置であって、

前記有機エレクトロルミネッセンス素子の輝度階調を規定するデータを記憶するメモリと、

前記メモリからデータを読み出して、前記デジタルデータとして前記データ線駆動回路に供給する制御回路とを備えることを特徴とする電気光学装置。

【請求項13】 請求項6から12までのいずれかに記載の電気光学装置であって、

動作の基準となる基準動作信号を供給する発振回路を有することを特徴とする電気光学装置。

【請求項14】 請求項8から13までのいずれかに記載の電気光学装置が実装されたことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば有機EL（Electronic Luminescence）パネルなどの表示パネルの駆動に用いられる電流生成回路に関し、特に表示パネルにおいて輝度を指示するデジタルデータに対し非線形特性の電流を生成する電流生成回路に関する。

【0002】

【従来の技術】一般に、液晶パネルでは、画素における階調（輝度）の変化は、画素に印加される電圧に対して比例する関係にはない。このため、液晶パネルでは、駆動するに際して、線形で指示される画素の階調（一般にはデジタルデータで規定される）に対し非線形特性の電圧を出力し、これにより、見た目の階調変化が線形となるような補正となっている。一方で、人間の視覚特性は対数的または指数的な性質を持つことが一般に知られており、階調としての輝度が線形的に変化していても、人間の目にはそれが線形的に変化しているように感じられないことがある。こうした事情から、電気光学

装置においては対数的または指数的な階調特性を持たせることにより、人間の見た目としての線形特性を得るといったことがしばしば行われる。こうした一連の処理を総して $\gamma$ 補正と呼ぶことがある。

【00003】近年、有機ELパネルが、次世代の表示パネルとして注目されている。この理由は、有機ELパネルにおいて電気光学素子として用いられる有機EL素子が単に光の透過量を変化させる液晶素子とは異なり、それ自体が発光する自発光素子であるからである。このため、有機ELパネルは、液晶パネルよりも視野角が広く、高コントラストであり、応答速度が速いなどの優れた特性を有する。

【00004】ここで、有機EL素子は、電圧駆動型の液晶素子とは異なり、いわゆる電流駆動型の素子であるため、駆動に際しては、画素の階調に応じた電圧ではなく、電流を生成する必要がある。このような電流を生成する電流生成回路の従来例としては、例えば、図24に示されるような構成が挙げられる。この図において、電流生成回路は、画素の階調を指示する6ビットのデジタルデータ(00~05)の各々に対応して、トランジスタ200a~200fを、それぞれスイッチングすることによって要素電流I1~I6を選択するとともに、選択した要素電流を合成して階調に応じた電流I<sub>out</sub>を得る。という電流加算型D/Aコンバータである。

【00005】

【発明が解決しようとする課題】しかしながら、有機EL素子に対しても、液晶と同様に、対数的または指数的な階調特性を持たせるという意味での $\gamma$ 補正が必要となるが、図24に示した電流生成回路では、画素の階調を指示する6ビットのデジタルデータに対して得られる出力電流が線形特性であるため、このままでは、十分な $\gamma$ 補正ができない。このような電流生成回路を用いて非線形特性の電流を生成するには、例えば、複数の電圧源を予め用意して、トランジスタ200a~200fのゲート電流を個別に制御する仕組みが必要となるが、この仕組みでは、階調の数が増加するにつれて必要な電圧源の数も増えるので、回路構成が複雑化する。一般に、電圧源の数が増えると、電圧生成に伴い消費される電力も増大するので、モバイル型のパーソナルコンピュータや、携帯電話機などの低消費電力が強く求められる電子機器への適用が期待される有機ELパネルには、上記仕組みは、必ずしも好ましいとは言えない。本発明は、このような事情に鑑みてなされたもので、その目的とするところは、回路構成がシンプルで、かつ、消費電力が少ない電流生成回路を提供することにある。

【00006】

【課題を解決するための手段】上記目的を達成するために、本発明は、複数の要素電流の中から、入力されるデジタルデータに応じた要素電流を選択することにより副電流を出力する回路ブロックの複数個と、前記副電流

を合成することにより主電流を出力する合成回路とを備えることを特徴とする。ここで、一の回路ブロックは、前記複数の要素電流の各々を、それぞれ利得係数の異なるトランジスタにより生成することが好ましい。また、前記トランジスタには、その利得係数の比が二進加重となる組み合わせのものが含まれることが好ましい。さらに、前記トランジスタの各々は、電界効果形トランジスタであり、一の回路ブロックにおけるトランジスタのゲート電極には、共通の基準電圧が供給されることが望ましい。

【00007】同様に、上記目的を達成するために、本発明は、副電流を生成する回路ブロックの複数個と、各回路ブロックにより生成された副電流を合成することにより主電流を出力する合成回路とを備え、回路ブロックの各々は、入力されるデジタルデータが取り得る範囲を分割した範囲の各々に割り当てられ、一の回路ブロックは、デジタルデータの値が該回路ブロックに割り当てられた範囲以下である場合、ゼロの副電流を生成し、デジタルデータの値が該回路ブロックに割り当てられた範囲にある場合、該デジタルデータに応じて略直線特性にて副電流を生成し、デジタルデータの値が該回路ブロックに割り当てられた範囲以上である場合、該一のブロックに対して上位側に隣接するブロックに割り当てられたデジタルデータの範囲の最低値に相当する副電流を生成することを特徴とする。

【00008】ここで、回路ブロックにおける略直線特性を、各回路ブロックに対し個別に設定可能とすることが好ましい。また、前記主電流の下限値を規定するオフセット電流回路を備えることも好ましい。電流生成回路を集積化することも好ましい。

【00009】さらに、複数の走査線と、複数のデータ線と、前記走査線を駆動する走査線駆動回路と、前記データ線を駆動するデータ線駆動回路と、前記走査線および前記データ線の交差点に配置される電気光学素子とを備える電気光学装置であって、前記データ線駆動回路は、上記電流生成回路を含み、該電流生成回路による主電流を一のデータ線に供給することも好ましい。このような電気光学装置において、前記電気光学素子は、電流によって駆動される接駆動素子であることが好ましい。なお、前記接駆動素子の一例としては、有機エレクトロルミネッセンス素子である。

【00010】電気光学装置にあつては、前記有機エレクトロルミネッセンス素子の輝度階調を規定するデータを記憶するメモリと、前記メモリからデータを読み出して、前記デジタルデータとして前記データ線駆動回路に供給する制御回路とを備えることが好ましい。また、上記電気光学装置であつて、動作の基準となる基準動作信号を供給する発振回路を有することも好ましい。さらに、電子機器は、このような電気光学装置が実装されたことが望ましい。

# 【0011】

【発明の実施の形態】以下、図面を参照して本発明の実施形態について説明する。図1は、実施形態に係る電気光学装置の概略構成を示すブロック図である。この図に示されるように、実施形態に係る電気光学装置100は、複数本の走査線102と複数本のデータ線104とが互いに直交して（電気的には絶縁されている）延設されるとともに、その交差部分に画素回路110を備える表示パネル1と、m本の走査線102の各々を駆動する走査線駆動回路2と、n本のデータ線104の各々を駆動するデータ線駆動回路3と、表示すべき画像の画素輝度階調を規定するデジタルデータDataを記憶するためのメモリ4と、各部を制御する制御回路5と、各部を同期動作させるための基準信号や制御信号などを生成する発振回路6と、各部に電源を供給する電源回路7とを含んで構成されている。

【0012】このうち、メモリ4に記憶されるデジタルデータDataは、コンピュータなどの外部機器から供給されるとともに、画素回路110に含まれる有機EL素子の輝度を、画素回路110毎に規定する。ここで、本実施形態では説明の便宜上、デジタルデータDataを6ビットとして、1画素あたり「0」から「63」までの64（2の6乗）階調を表現するものとする。

【0013】一方、走査線駆動回路2は、走査線102を1本ずつ順番に選択するための走査信号Y1、Y2、Y3、……、Ymを生成するものであり、詳細には、図8に示されるように、1垂直走査期間（1F）の最初のタイミングから、水平走査期間（1H）に相当する幅のパルスを1行目の走査線102に走査信号Y1として供給し、以降、このパルスを順次シフトして、2、3、……、m行目の走査線102の各々に走査信号Y2、Y3、……、Ymとして供給する。ここで、一般的に（iは、1≦i≦mを満たす整数）i行目の走査線102に供給される走査信号YiがHレベルになると、当該走査線102が選択されたことを示す。また、走査線駆動回路2は、走査信号Y1、Y2、Y3、……、Ymに代えて、その論理レベルを反転した信号を、それぞれ発光制御信号Vc1、Vc2、Vc3、……、Vcmとして生成して、表示パネル1に供給するが、図1においては図示を省略している。

【0014】データ線駆動回路3は、本件の特徴部分である電流生成回路をデータ線104毎に有し、選択された走査線102に位置する画素回路110の各々に対し階調輝度を指示する電流を、データ線104を介して与えるものである。詳細には、データ線駆動回路3は、例えば、メモリ4から読み出されたデジタルデータに応じた電流を電流生成回路によって生成し、当該電流を、選択された走査線102に位置する画素回路110の各々にデータ線104を介して与えるものである。なお、電流生成回路の詳細については後述するものとする。

【0015】制御回路5は、走査線駆動回路2による走査線102の選択を制御するとともに、この選択に同期してメモリ4からデジタルデータを読み出して、データ線駆動回路3に供給する。したがって、選択された走査線102に位置する画素回路110には、その有機EL素子の輝度に応じた電流がデータ線104を介して与えられる構成となっている。

【0016】なお、電気光学装置100における符号1～7の各要素は、それぞれが独立した部品により構成される場合や、一部または全部が一体となって構成される場合（例えば、走査線駆動回路2およびデータ線駆動回路3が一体となって集積化される場合や、表示パネル1を除く要素の一部または全部をプログラマブルICチップで構成するとともに、これらの要素の機能も、当該ICチップに書き込まれたプログラムによりソフトウェア的に実現する場合）など、実際には様々な形態で製品化され得る。

【0017】次に、電気光学装置100における画素回路110について説明する。図2は、その構成を示す回路図である。なお、すべての画素回路110は、互いに同一構成であるが、ここでは走査信号を一般化して説明するために、1行目の走査線102と、ある一列のデータ線104との交差部分に設けられる画素回路110について説明することにする。

【0018】この図に示されるように、該走査線102と該データ線104との交差部分に設けられた画素回路110には、4個の薄膜トランジスタ（Thin Film Transistor、以下「TFT」と省略する）TFT102、TFT104、TFT06、TFT08と、有機EL素子1120と、有機EL素子1130とが備えられる。このうち、pチャネル型のTFT102のソース電極は、電源における高電位の電圧Vddが印加された電源線109に接続される一方、そのドレイン電極は、nチャネル型TFT104のドレイン電極、nチャネル型TFT106のドレイン電極およびpチャネル型TFT108のソース電極にそれぞれ接続されている。

【0019】有機EL素子1120の一端は、上記電源線109に接続される一方、その他端は、TFT102のゲート電極およびTFT108のドレイン電極にそれぞれ接続されている。TFT104のゲート電極は走査線102に接続され、そのソース電極は、データ線104に接続されている。また、TFT106のゲート電極は走査線102に接続されている。一方、TFT106のゲート電極は、発光制御線108に接続され、そのソース電極は、有機EL素子1130の陽極に接続されている。ここで、発光制御線108については、走査線駆動回路2による発光制御信号Vc1が供給される。また、有機EL素子1130については、陽極と陰極の間に有機EL層が挟持されて、順方向電流に応じた輝度にて発光する構成となっている。なお、有機EL素



子1130の陰極は、画素回路110のすべてにわたって共通の電極であり、電源における低位（基準）電位となっている。

【0020】このような構成において、走査線102に供給される走査信号Y1がHレベルになると、nチャネル型TFT1108が、ソース電極およびドレイン電極の間において導通（オン）状態となるので、TFT1102は、ゲート電極とドレイン電極とが互いに接続されたダイオードとして機能する。走査線102に供給される走査信号Y1がHレベルになると、nチャネル型TFT1104も、TFT1108と同様に導通状態となるので、結局、電流生成回路30による電流I<sub>out</sub>が、電源線109→有機EL素子1102→TFT1104→データ線104という経路で流れるとともに、そのときにTFT1102のゲート電極の電位に応じた電荷が容量素子1120に蓄積される。

【0021】走査信号Y1がLレベルになると、TFT1104、1108はともに非導通（オフ）状態となるが、容量素子1120における電荷の蓄積状態は変化しないので、TFT1102のゲート電極は、電流I<sub>out</sub>が流れたときの電圧に保持されることになる。また、走査信号Y1がLレベルになると、発光制御信号V<sub>sel</sub>がHレベルとなる。このため、nチャネル型のTFT1106がオンし、TFT1102のソース・ドレイン間には、そのゲート電圧に応じた電流が流れる。詳細には、この電流は、電源線109→TFT1102→TFT1106→有機EL素子1130という経路で流れる。このため、有機EL素子1130は、該電流値に応じた輝度で発光することになる。

【0022】ここで、有機EL素子1130に流れる電流値は、TFT1102のゲート電極における電圧で定まるが、そのゲート電極の電圧は、Hレベルの走査信号によって電流I<sub>out</sub>がデータ線104に流れたときに、容量素子1120によって保持された電圧である。このため、発光制御信号V<sub>sel</sub>がHレベルになったときに、有機EL素子1130に流れる電流は、直前に流れた電流I<sub>out</sub>に一致する。したがって、仮に、画素回路110のすべてにわたってTFT1102の特性にバラツキが生じて、各画素回路110に含まれる有機EL素子1130に対し同じ大きさの電流を供給することができると、該バラツキに起因する表示ムラを抑えることが可能となる。

【0023】ここでは、1個の画素回路110についてのみについて説明しているが、1行目の走査線102は、m個の画素回路110に共用されているので、走査信号Y1がHレベルになると、共用されるm個の画素回路110においても同様な動作が実行されることになる。さらに、走査信号Y1、Y2、Y3、...、Ymは、図2に示されるように、順番に排他的にHレベルとなるので、これによって、すべての画素回路110において

は、そのTFT1102のゲート電極は、その有機EL素子1130の輝度に応じた電流I<sub>out</sub>が流れたときの電圧に、容量素子1120によって保持されることになる。なお、各トランジスタ1102、1104、1106、1108のチャネル型は、必ずしも上述した通りである必要はなく、実際にはp型またはnチャネル型を適宜選択することが可能である。

【0024】次に、本件の特徴部分である電流生成回路30について説明する。図4は、データ駆動回路30に含まれる電流生成回路30の一例分の構成を示すブロック図である。この図において、変換回路310は、メモリ4（図1参照）から読み出された6ビットのデジタルデータ（05～00）を、19ビットのデジタルデータに変換するものである。ここで、19ビットのデジタルデータについては、次の4つの組、詳細には、第1組としてS11～S14、S1Fの5ビット、第2組としてS21～S24、S2Fの5ビット、第3組としてS31～S34、S3Fの5ビット、第4組としてS41～S44の4ビットに、それぞれ大別することができ、このうち、第1組が回路ブロックC1に、第2組が回路ブロックC2に、第3組が回路ブロックC3に、第4組が回路ブロックC4に、それぞれ供給される。

【0025】変換回路310の変換内容について説明すると、6ビットのデジタルデータ（00～05）で示される十進値（05を最上位ビットとする）の階調が取り得る範囲は「0」～「63」の64段階であるが、十進値の階調が「0」～「15」であれば、変換回路310は、図5に示されるような19ビットのデジタルデータに変換して出力する。詳細には、階調の「0」から「15」までの歩進にあわせて、ビットS11～S14で示される十進値（S14を最上位ビットとする）も同じように「0」から「15」まで順番に歩進する一方、他のビットがすべて2進で「0」となるように変換される。次に、十進値の階調が「16」～「31」であれば、変換回路310は、図6に示されるような19ビットのデジタルデータに変換して出力する。詳細には、階調の「16」から「31」までの歩進にあわせて、ビットS21～S24で示される十進値（S24を最上位ビットとする）も「0」から「15」まで順番に歩進する一方、ビットS11～S14、S1Fがすべて2進で「1」となり、他のビットがすべて2進で「0」となるように変換される。続いて、十進値の階調が「32」～「47」であれば、変換回路310は、図7に示されるような19ビットのデジタルデータに変換して出力する。詳細には、階調の「32」から「47」までの歩進にあわせて、ビットS31～S34で示される十進値も「0」から「15」まで順番に歩進する一方、ビットS14～S11、S1F、S24～S21、S2Fがすべて2進で「1」となり、他のデータがすべて2進で「0」となるように変換される。そして、十進値の階調が「48」～「63」であれば、変換回路310は、

図8に示されるような19ビットのデジタルデータに変換して出力する。詳細には、階調の「48」から「63」までの歩進にあわせて、ビットS41～S44で示される十進値（S44を最上位ビットとする）も「0」から「15」まで順番に歩進する一方、ビットS11～S14、S16～S21～S24、S26、S31～S34、S36が、すべて2進値「1」になるように変換される。

【0026】図9は、このような変換回路310を、論理回路で実現する場合の一例を示す図である。もちろん、このような変換回路310については、論理回路ではなく、予め変換内容を記憶したテーブルにより実現しても良い。

【0027】説明を図4に戻すと、基準電圧生成回路20は、電源回路7により生成された電圧V1～V4から基準電圧VCS1～VCS4およびVCF1～VCF4を、それぞれ生成する。ここで、基準電圧生成回路20は、例えば電圧V1から基準電圧VCS1、VCF1を、図10に示されるようなカレントミラー回路により生成する。この図においては、カレントミラー回路の入力側には、図14における電源回路7から出力される電圧V1が供給される一方、基準電圧VCS1およびVCF1が出力側から取り出されている。なお、同様なカレントミラー回路によって、電圧V2から基準電圧VCS2およびVCF2が、電圧V3から基準電圧VCS3およびVCF3が、電圧V4から基準電圧VCF4が、それぞれ生成される。

【0028】次に、回路ブロックC1は、6ビットのデジタルデータ（00～05）で示される十進値の階調「0」～「53」のうち、「0」～「15」に割り当てられたものであり、その詳細については図11に示されるように、変換回路310により変換された19ビットのデータのうち、ビットS11～S14、S16にしたがってスイッチ11a～11d、11eのオンオフを制御して、FET（Field-Effect Transistor）10a～10e、10f～10jが出力する要素電流I11～I14、I1Fを合成した副電流Iout1を生成する。

【0029】ここで、FETのゲート電極およびソース電極に一定の電圧を供給した場合にFETに流れる電流を利得係数 $\beta$ と定義したとき、FET10f～10jは、利得係数 $\beta$ の比が1:0.5:1:0.25:1:0.125:1:0.0625:1となるように設定されている。また、FET10a～10eのゲート電極には基準電圧VCS1が、FET10f～10jのゲート電極には基準電圧VCF1が、それぞれ共通に供給され、これにより要素電流I11～I14、I1Fの大きさの比は、1:1/2:1/3:1/4:1/5:1/6=1:2:3:4:5:6の関係となる。なお、回路ブロックC4において、FETの構成がFET10a～10eとFET10f～10jの2段で構成されているのは、出力電流Ioutの特性を安定化させる等の目的からである。したがって、原理的にはFET10

f～10jのみの構成として、これと同等の機能を有する回路を構成することができる。

【0030】回路ブロックC2は、デジタルデータ（00～05）で示される十進値の階調「0」～「53」のうち、「16」～「31」に割り当てられたものであり、回路ブロックC1と同等である。すなわち、回路ブロックC2は、変換回路310により変換された19ビットのデータのうち、ビットS21～S24、S26にしたがって要素電流I21～I24、I2Fを適宜選択するとともに、これらの選択した要素電流を合成して副電流Iout2を生成する。回路ブロックC3は、デジタルデータ（00～05）で示される十進値の階調「0」～「53」のうち、「32」～「47」に割り当てられたものであり、回路ブロックC1、C2と同等である。すなわち、回路ブロックC3は、変換回路310により変換された19ビットのデータのうち、ビットS31～S34、S36にしたがって要素電流I31～I34、I3Fを適宜選択するとともに、これらの選択した要素電流を合成して副電流Iout3を生成する。回路ブロックC4は、デジタルデータ（00～05）で示される十進値の階調「0」～「53」のうち、「48」～「63」に割り当てられたものであり、回路ブロックC1におけるスイッチ11f、FET10e、10fに相当するもの（破線50で囲まれた回路）が存在しない点以外、回路ブロックC1と同等であり、ビットS41～S44にしたがって要素電流I41～I44を適宜選択するとともに、これらの選択した要素電流を合成して副電流Iout4を生成する。

【0031】ここで、回路ブロックC1において破線50で囲まれた回路は、要素電流I1Fを選択するための回路である。この要素電流I1Fは、デジタルデータ（05～00）で示される十進値の階調「16」（当該回路ブロックC1の上位側に隣接する回路ブロックに割り当てられた範囲の最低値）に相当する副電流Iout1を生成する際に、要素電流I11～I14に加算するために用いられる。回路ブロックC2、C3において破線50に相当する回路についても同様に、要素電流I2F、I3Fを選択するための回路であり、このうち、要素電流I2Fについては階調「32」に相当する副電流Iout2を生成する際に、要素電流I21～I24に加算するために用いられ、要素電流I3Fについては階調「48」に相当する副電流Iout3を生成する際に、要素電流I31～I34に加算するために用いられる。したがって、階調「64」が存在しない本実施形態では、要素電流I21～I24の加算和以上の副電流Iout4を必要がないので、破線50に相当する回路が回路ブロックC4において存在しない。

【0032】回路ブロックC1～C4により生成された副電流Iout1～Iout4は、合成電流ライン32により主電流Ioutとして合成されて、この主電流Ioutが対応するデータ値10/4に出力されることになる。

【0033】次に、6ビットのデジタルデータ（00～

D5) に対して、主電流 I<sub>out</sub> の値がどのようにして制御されるかについて説明する。

【0034】まず、デジタルデータ (00~D5) が階調「0」~「15」の範囲にある場合、図4に示されるように、ビット \$11~\$14 については、その4ビットで示される十進値 (\$14を最上位ビットとする) が「0」~「15」で順番に歩進するように交換される。このため、回路ブロックC1におけるスイッチ 11a~11d がオンオフし、これにより要素電流 I11~I14が適宜選択されて、副電流 I<sub>out1</sub> が生成される。階調が「0」~「15」である場合、ビット \$11~\$14 以外は、すべて2進で“0”となるように交換されるので、回路ブロックC2、C3、C4におけるスイッチはすべてオフとなる結果、副電流 I<sub>out2</sub>、I<sub>out3</sub>、I<sub>out4</sub> はいずれもゼロとなる。したがって、階調が「0」~「15」の範囲にある場合の主電流 I<sub>out</sub> は、回路ブロックC1において要素電流 I11~I14を適宜選択することによって合成した副電流 I<sub>out1</sub> のみで表現されることになる。

【0035】デジタルデータ (00~D5) が階調「16」~「31」の範囲にある場合、図5に示されるように、ビット \$11~\$14、\$1F については、すべて2進で“1”となるように交換されるので、回路ブロックC1におけるスイッチ 11a~11d、11e がすべてオンする結果、副電流 I<sub>out1</sub> は、要素電流 I11~I14、11F の加算和で示される最大値となる。階調が「16」~「31」である場合、ビット \$21~\$24 については、その4ビットで示される十進値 (\$24を最上位ビットとする) が「0」~「15」で順番に歩進するように交換される。このため、回路ブロックC2において要素電流 I21~I24が適宜選択されて、副電流 I<sub>out2</sub> が生成される。また、階調が「16」~「31」である場合、ビット \$31~\$34、\$3F、\$41~\$44 については、すべて“0”となるように交換されるので、回路ブロックC3による副電流 I<sub>out3</sub> および回路ブロックC4による副電流 I<sub>out4</sub> は、ともにゼロとなる。したがって、階調が「16」~「31」の範囲にある場合の主電流 I<sub>out</sub> は、回路ブロックC2において要素電流 I21~I24を適宜選択することによって合成した副電流 I<sub>out2</sub> に、最大値をとる副電流 I<sub>out1</sub> をさらに加えたものとなる。ただし、階調が「16」であるとき (回路ブロックC2に割り当てられた範囲の最低値であるとき)、厳密に言えば、副電流 I<sub>out2</sub> はゼロであるので、主電流 I<sub>out</sub> は、最大値をとる副電流 I<sub>out1</sub> で示されることになる。

【0036】デジタルデータ (00~D5) が階調「32」~「47」の範囲にある場合、図7に示されるように、ビット \$11~\$14、\$1F、\$21~\$24、\$2F については、すべて“1”となるように交換されるので、回路ブロックC1による副電流 I<sub>out1</sub> は、要素電流 I11~I14、\$1F の加算和となり、回路ブロックC2による副電流 I<sub>out2</sub> は、要素電流 I21~I24、I2F の加算和となる。階調が

「32」~「47」である場合、ビット \$31~\$34 については、その4ビットで示される十進値 (\$34を最上位ビットとする) が「0」~「15」で順番に歩進するように交換される。このため、回路ブロックC3において要素電流 I31~I34が適宜選択されて、副電流 I<sub>out3</sub> が生成される。なお、階調が「32」~「47」である場合、ビット \$41~\$44 については、すべて“0”となるように交換されるので、回路ブロックC4による副電流 I<sub>out4</sub> は、ゼロとなる。したがって、階調「32」~「47」の範囲にある場合の主電流 I<sub>out</sub> は、回路ブロックC3において要素電流 I31~I34を適宜選択することによって合成した副電流 I<sub>out3</sub> に、最大値をとる副電流 I<sub>out1</sub>、I<sub>out2</sub> の和をさらに加えたものとなる。ただし、階調が「32」であるとき (回路ブロックC3に割り当てられた範囲の最低値であるとき)、厳密に言えば、副電流 I<sub>out3</sub> はゼロであるので、主電流 I<sub>out</sub> は、最大値をとる副電流 I<sub>out1</sub>、I<sub>out2</sub> の和で示されることになる。

【0037】そして、デジタルデータ (00~D5) が階調「48」~「63」の範囲にある場合、図8に示されるように、ビット \$11~\$14、\$1F、\$21~\$24、\$2F、\$31~\$34、\$3F については、すべて“1”となるように交換されるので、回路ブロックC1による副電流 I<sub>out1</sub> は、要素電流 I11~I14、11F の加算和となり、回路ブロックC2による副電流 I<sub>out2</sub> は、要素電流 I21~I24、I2F の加算和となり、回路ブロックC3による副電流 I<sub>out3</sub> は、要素電流 I31~I34、I3F の加算和となる。階調が「48」~「63」である場合、ビット \$41~\$44 については、その4ビットで示される十進値 (\$44を最上位ビットとする) が「0」~「15」で順番に歩進するように交換される。このため、回路ブロックC4において要素電流 I41~I44が適宜選択されて、副電流 I<sub>out4</sub> が生成される。したがって、階調「48」~「63」の範囲にある場合の主電流 I<sub>out</sub> は、回路ブロックC4において要素電流 I41~I44を適宜選択することによって合成した副電流 I<sub>out4</sub> に、最大値をとる副電流 I<sub>out1</sub>、I<sub>out2</sub>、I<sub>out3</sub> の和をさらに加えたものとなる。ただし、階調が「48」であるとき (回路ブロックC4に割り当てられた範囲の最低値であるとき)、厳密に言えば、副電流 I<sub>out4</sub> はゼロであるので、主電流 I<sub>out</sub> は、最大値をとる副電流 I<sub>out1</sub>、I<sub>out2</sub>、I<sub>out3</sub> の和だけで示されることになる。

【0038】電源回路7が電圧 V<sub>1</sub>~V<sub>4</sub> を V<sub>1</sub><V<sub>2</sub><V<sub>3</sub><V<sub>4</sub> という大小関係にて生成すると、基準電圧生成回路 320により生成される基準電圧 V<sub>CS1</sub>~V<sub>CS4</sub> (V<sub>CF1</sub>~V<sub>CF4</sub>) は、V<sub>CS1</sub><V<sub>CS2</sub><V<sub>CS3</sub><V<sub>CS4</sub> (V<sub>CF1</sub><V<sub>CF2</sub><V<sub>CF3</sub><V<sub>CF4</sub>) という大小関係となる。この関係において、回路ブロックC1~C4における要素電流 I11~I14、I1F、I21~I24、I2F、I31~I34、I3F、I41~I44が



それぞれ例えば図12に示されるような値をとる場合、デジタルデータ(00~05)の階調「0」~「5」に対する主電流I<sub>out</sub>はそれぞれ図13に示される値となる。また、その階調/主電流の特性は、図14に示されるように3つの直線を、4つの直線により模擬したものとなる。

【0040】このような特性となる点について詳述する。まず、階調が「0」~「15」の範囲にある場合の主電流I<sub>out</sub>は、回路ブロックC1において要素電流I11~I14、11Fを適宜選択することによって合成した副電流I<sub>out1</sub>のみとなるので、当該範囲にある場合の主電流I<sub>out</sub>は、当該範囲において略直線特性となり、その傾きは、基準電圧V<sub>CS1</sub>(V<sub>SF1</sub>)の大ききで定まることになる。なお、要素電流I11、11Fの重みはともに「1」であるので、階調が「15」のときの主電流I<sub>out</sub>は、階調が「0」~「15」の特性の延長線上にある。次に、階調が「16」~「32」の範囲にある場合の主電流I<sub>out</sub>は、回路ブロックC1において最大値をとる副電流I<sub>out1</sub>に、回路ブロックC2において要素電流I21~I24、12Fを適宜選択して合成した副電流I<sub>out2</sub>を、加算した値となるので、当該範囲にある場合の主電流I<sub>out</sub>は、当該範囲において略直線特性となり、かつ、階調が「0」~「15」の範囲にある場合の略直線特性と連続性を有することになる。さらに、階調が「16」~「32」の範囲にある場合における主電流I<sub>out</sub>の傾きは、基準電圧V<sub>CS2</sub>(V<sub>SF2</sub>)の大ききで定まることになる。なお、要素電流I21、12Fの重みはともに「1」であるので、階調が「32」のときの主電流I<sub>out</sub>は、階調が「16」~「32」の特性の延長線上にある。続いて、階調が「33」~「48」の範囲にある場合の主電流I<sub>out</sub>は、最大値をとる副電流I<sub>out1</sub>、I<sub>out2</sub>に、回路ブロックC3において要素電流I31~I34、13Fを適宜選択して合成した副電流I<sub>out3</sub>を、加算した値となるので、当該範囲にある場合の主電流I<sub>out</sub>は、当該範囲において略直線特性となり、かつ、階調が「16」~「32」の範囲にある場合の略直線特性と連続性を有することになる。さらに、階調が「33」~「48」の範囲にある場合における主電流I<sub>out</sub>の傾きは、基準電圧V<sub>CS3</sub>(V<sub>SF3</sub>)の大ききで定まることになる。そして、階調が「49」~「63」の範囲にある場合の主電流I<sub>out</sub>は、最大値をとる副電流I<sub>out1</sub>、I<sub>out2</sub>、I<sub>out3</sub>に、回路ブロックC4において要素電流I41~I44を適宜選択して合成した副電流I<sub>out4</sub>を、加算した値となるので、当該範囲にある場合の主電流I<sub>out</sub>は、当該範囲において略直線特性となり、かつ、階調が「33」~「48」の範囲にある場合の略直線特性と連続性を有することになる。さらに、階調が「49」~「63」の範囲にある場合における主電流I<sub>out</sub>の傾きは、基準電圧V<sub>CS4</sub>(V<sub>SF4</sub>)の大ききで定まることになる。

【0040】したがって、電圧V1~V4によって、基準電圧生成回路320により生成される基準電圧V<sub>CS1</sub>~V<sub>CS4</sub>(V<sub>CF1</sub>~V<sub>CF4</sub>)の大小関係を変更すると、階調に対する主電流I<sub>out</sub>の特性を様々な設定することが可能となる。例えば、V<sub>CS1</sub>=V<sub>CS2</sub>=V<sub>CS3</sub>=V<sub>CS4</sub>にすると、主電流I<sub>out</sub>は、図15に示されるように、「0」~「63」の階調の全域に亘って略直線的に増加し、その傾きは、V<sub>CS1</sub>(=V<sub>CS2</sub>=V<sub>CS3</sub>=V<sub>CS4</sub>)に応じて変化する。また、V<sub>CS1</sub>>V<sub>CS2</sub>>V<sub>CS3</sub>>V<sub>CS4</sub>にすると、主電流I<sub>out</sub>の特性は、図16に示されるようなものとなる。さらに、V<sub>CS4</sub>(=V<sub>CS4</sub>)>V<sub>CS2</sub>(=V<sub>CS3</sub>)にすると、主電流I<sub>out</sub>の特性は、図17に示されるようなものとなる。

【0041】なお、基準電圧生成回路320により生成される基準電圧V<sub>CS1</sub>~V<sub>CS4</sub>(V<sub>CF1</sub>~V<sub>CF4</sub>)の大小関係を変更するためには、電圧V1~V4を個別に設定すれば良いが、例えば、電圧V1を個別に設定するための構成としては、例えば図18に示される例が挙げられる。すなわち、オペアンプ71の出力を、可変抵抗器73および抵抗器75を用いて負帰還入力とした構成が一例として挙げられる。他の電圧V2、V3、V4について同様である。なお、この構成においては、可変抵抗器73における抵抗値を、手動で調整しても良いし、アナログスイッチによって調整しても良い。

【0042】このような電圧生成回路320によれば、階調に対する主電流の特性を4つの連続する略直線によって表現するので、表示パネル1におけるγ特性を、目的や用途に応じて様々な形で模擬することが可能となる。さらに、この電圧生成回路によれば、V1~V4の合計4種類の基準電圧とロジック電源電圧とで64種類の主電流I<sub>out</sub>を生成することができるので、必要な電圧源の数が非常に少なく済む。このため、構成がシンプルとなり、低消費電力化が図られるとともに、その耐久性が高められることになる。

【0043】なお、この電圧生成回路は、64階調に対応する主電流I<sub>out</sub>を、回路ブロックC1~C4による4つの副電流I<sub>out1</sub>~I<sub>out4</sub>で合成する構成としたが、回路ブロックの数を増やして(1つの回路ブロックFET101~104等の数を減じて)、より滑らかな非線形特性を実現しても良いし、反対に、回路ブロックの数を減じて(1つの回路ブロックFET101~104等の数を増やして)、変換回路310における変換に要する負担が小さくなるようにしても良い。回路ブロックのスイッチのオンオフを規定するデータビット数が少なくなる。また、上記回路ブロックでは、要素電流を生成するのにFETを使用しているが、バイポーラ型のトランジスタでも構成できることはもちろんである。

【0044】本発明は、上述した実施形態に限られず、

種々の応用・変形が可能である。上述した実施形態では、主電流1 outは、階調が「0」であるときに最低値としてゼロをとるが（図13参照）、図19に示されるようなオフセット電流回路51を別途設けて、電圧V<sub>0</sub>により主電流1 outの下限値を規定する構成しても良い。この構成では、オフセット電流回路51に流れる電流が、副電流1 out1〜1 out4の和にオフセットされて、主電流1 outとして合成される。このため、主電流1 outの最低値をゼロではなく、当該下限値とすることができ、

【0045】実施形態では、走査線102が選択されたときに、当該走査線102に位置する画素回路110の有機EL素子130に流すべき電流を、データ線104を介して供給する構成である。ここで、表示パネル1のサイズが大きくなると、データ線104に発生する容量が増大し、これにより、必要な主電流1 outを直ちに供給することができなくなって、高速駆動が困難となる、という不都合が発生する。そこで、この不都合を解消するため、例えば図20に示されるように、データ線104毎にプリチャージ回路53を設けても良い。このプリチャージ回路53は、ゲート電圧V<sub>pre</sub>に応じたプリチャージ電流1 pを流すためのFET532と、データ線104に主電流1 outを流す前に信号D<sub>p</sub>にしたがってオンして、プリチャージ電流1 pをデータ線104に流して、データ線104を予めプリチャージするスイッチ534を含む。このように、主電流1 outを流す前にデータ線104をプリチャージすると、このようなプリチャージ回路53が存在しないときと比較して、データ線104に流れる電流が目標とする主電流1 outに達する期間を短くすることができ、したがって、より高速な駆動が可能となる。

【0046】また、実施形態において、発光制御信号V<sub>e1</sub>、V<sub>e2</sub>、V<sub>e3</sub>、…、V<sub>em</sub>については、走査線駆動回路2が走査信号Y<sub>1</sub>、Y<sub>2</sub>、Y<sub>3</sub>、…、Y<sub>m</sub>の論理レベルを反転して供給する構成としたが、別個の回路により供給する構成としても良い。発光制御信号V<sub>e1</sub>、V<sub>e2</sub>、V<sub>e3</sub>、…、V<sub>em</sub>のアクティブレベル（Hレベル）となる期間を一括して挟める方向に制御する構成としても良い。

【0047】以上説明した実施形態に係る電気光学装置100は、本件の特徴部分である電流生成回路30を、有機ELパネルのデータ線駆動回路に適用したものであるが、当該電流生成回路については、有機ELパネル以外の表示パネル、例えば、FED（Field Emission Display）などの他の様々な表示パネルにも適用することができ、

【0048】つぎに、実施形態に係る電気光学装置100を適用した電子機器のいくつかの事例について説明する。図21は、この電気光学装置100を適用したモバイル型のパーソナルコンピュータの構成を示す斜視図で、

ある。この図において、パーソナルコンピュータ2100は、キーボード2102を備えた本体2104と、表示ユニットとしての電気光学装置100とを備えている。

【0049】また、図22は、前述の電気光学装置100を適用した携帯電話機の構成を示す斜視図である。この図において、携帯電話機2200は、複数の操作ボタン2202のほか、受話口2204、送話口2206とともに、前述の電気光学装置100を備えている。

【0050】図23は、前述の電気光学装置100をファインダに適用したデジタルスチルカメラの構成を示す斜視図である。銀塩カメラは、被写体の光像によってフィルムを感光させるのに対し、デジタルスチルカメラ2300は、被写体の光像をCCD（Charge Coupled Device）などの撮像素子により光電変換して撮像信号を生成・記憶するものである。ここで、デジタルスチルカメラ2300における本体2302の背面には、上述した電気光学装置100が設けられている。この電気光学装置100は、撮像信号に基づいて表示を行うので、被写体を表示するファインダとして機能することになる。また、本体2302の前面側（図23においては裏面側）には、光学レンズやCCDなどを含んだ受光ユニット2304が設けられている。

【0051】撮影者が電気光学装置100に表示された被写体像を確認して、シャッターボタン2306を押下すると、その時点におけるCCDの撮像信号が、回路基板2308のメモリに転送・記憶される。また、このデジタルスチルカメラ2300にあって、ケース2302の側面には、外部表示を行うためのビデオ信号出力端子2312と、データ通信の入出力端子2314とが設けられている。

【0052】なお、電気光学装置100が適用される電子機器としては、図21に示されるパーソナルコンピュータや、図22に示される携帯電話機、図23に示されるデジタルスチルカメラの他にも、液晶テレビや、ビューファインダ型・モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、P.O.S端末、タッチパネルを備えた機器等などが挙げられる。そして、これらの各種電子機器の表示部として、前述した電気光学装置100が適用可能であることは言うまでもない。

【0053】

【発明の効果】以上説明したように本発明に係る電流生成回路によれば、回路構成をシンプルにし、かつ、消費電力を少なく抑えることが可能となる。

【図面の簡単な説明】

【図1】 本発明の実施形態による電気光学装置の構成を示すブロックである。

【図2】 同電気光学装置における画素回路の構成を示

す図である。

【図3】 同画素回路等の動作を説明するためのタイミングチャートである。

【図4】 同電気光学装置のデータ線駆動回路に含まれる電流生成回路の構成を示すブロック図である。

【図5】 同電流生成回路における変換回路の変換内容を示す図である。

【図6】 同電流生成回路における変換回路の変換内容を示す図である。

【図7】 同電流生成回路における変換回路の変換内容を示す図である。

【図8】 同電流生成回路における変換回路の変換内容を示す図である。

【図9】 同変換回路の一例を示す図である。

【図10】 同電流生成回路における基準電圧生成回路を示す図である。

【図11】 同電流生成回路における電流選択回路の構成を示す図である。

【図12】 同電流生成回路による要素電流の一例を示す図である。

【図13】 同電流生成回路による主電流の一例を示す図である。

【図14】 同電流生成回路において副調と主電流との特性を示す図である。

【図15】 同電流生成回路において副調と主電流との

特性を示す図である。

【図16】 同電流生成回路において副調と主電流との特性を示す図である。

【図17】 同電流生成回路において副調と主電流との特性を示す図である。

【図18】 同電流回路における電圧 $V_{11}$ 等を生じさせるための一例を示す図である。

【図19】 同電流生成回路の応用例を示す図である。

【図20】 同電流生成回路の応用例を示す図である。

【図21】 同電気光学装置を適用したモバイル型のパーソナルコンピュータの構成を示す斜視図である。

【図22】 同電気光学装置を適用した携帯電話機の構成を示す斜視図である。

【図23】 同電気光学装置を適用したデジタルスチルカメラの構成を示す斜視図である。

【図24】 従来の電流生成回路の構成を示す図である。

【符号の説明】

C1～C4…回路容量

F11～F14、F1F、I21～I24、I2F、I31～I34、I3F、I41～

I4F…要素電流

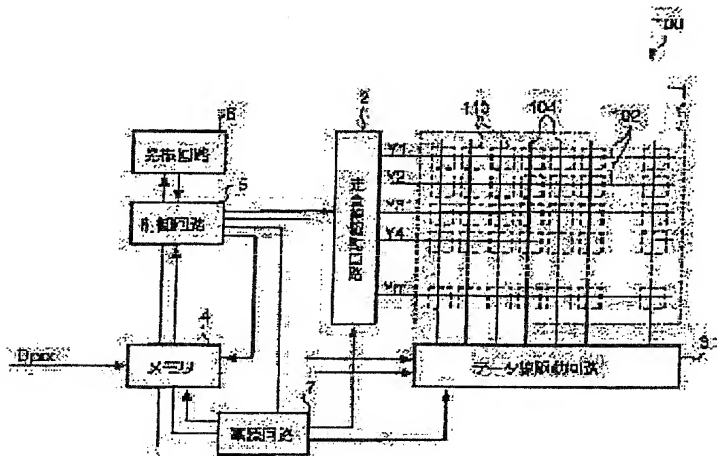
I<sub>out1</sub>～I<sub>out4</sub>…副電流

I<sub>out</sub>…主電流

S11～S14、S1F、S21～S24、S2F、S31～S34、S3F、S41～

S44…ビット

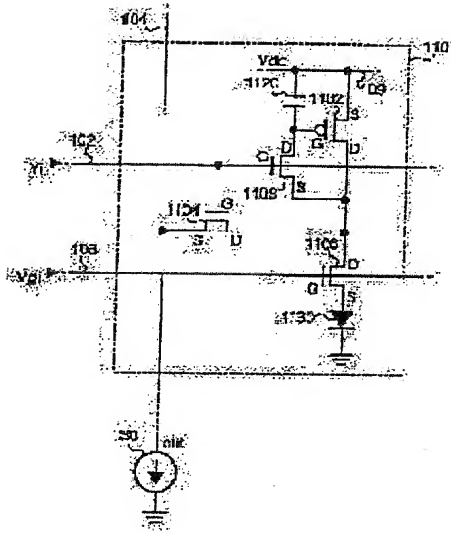
【図1】



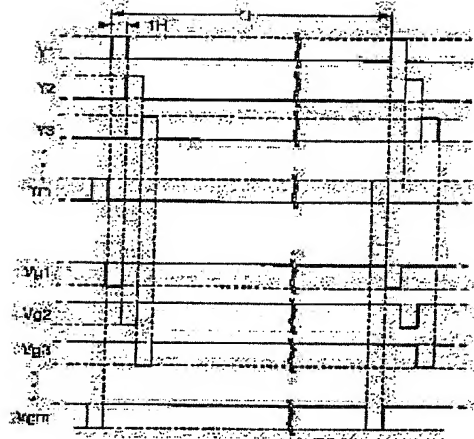
【図12】

要素電流	値
I1	0.5
I2	0.5
I3	0.5
I4	0.5
I5	0.5
I6	0.5
I7	0.5
I8	0.5
I9	0.5
I10	0.5
I11	0.5
I12	0.5
I13	0.5
I14	0.5
I15	0.5
I16	0.5
I17	0.5
I18	0.5
I19	0.5
I20	0.5
I21	0.5
I22	0.5
I23	0.5
I24	0.5
I25	0.5
I26	0.5
I27	0.5
I28	0.5
I29	0.5
I30	0.5
I31	0.5
I32	0.5
I33	0.5
I34	0.5
I35	0.5
I36	0.5
I37	0.5
I38	0.5
I39	0.5
I40	0.5
I41	0.5
I42	0.5
I43	0.5
I44	0.5

【圖 2】



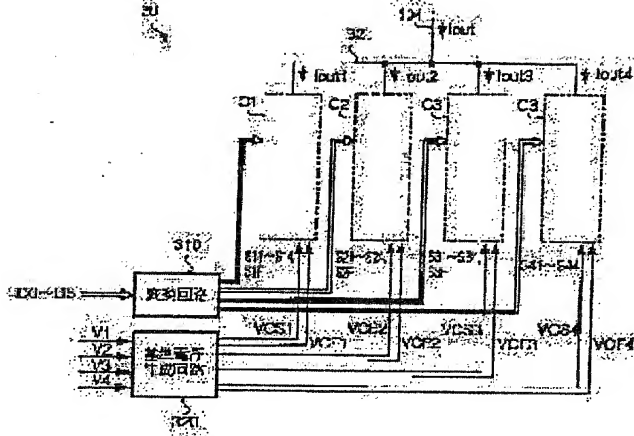
【圖 3】



【圖 1-3】

系列	生產元	型號	主要規格
0	0	32	1000
1	1.5	33	124.7
2	3.0	34	148.5
3	4.5	35	172.4
4	6.0	36	196.3
5	7.5	37	220.2
6	9.0	38	244.1
7	10.5	39	268.0
8	12.0	40	291.9
9	13.5	41	315.8
10	15.0	42	339.7
11	16.5	43	363.6
12	18.0	44	387.5
13	19.5	45	411.4
14	21.0	46	435.3
15	22.5	47	459.2
16	24.0	48	483.1
17	25.5	49	507.0
18	27.0	50	530.9
19	28.5	51	554.8
20	30.0	52	578.7
21	31.5	53	602.6
22	33.0	54	626.5
23	34.5	55	650.4
24	36.0	56	674.3
25	37.5	57	698.2
26	39.0	58	722.1
27	40.5	59	746.0
28	42.0	60	769.9
29	43.5	61	793.8
30	45.0	62	817.7
31	46.5	63	841.6

【圖 4】





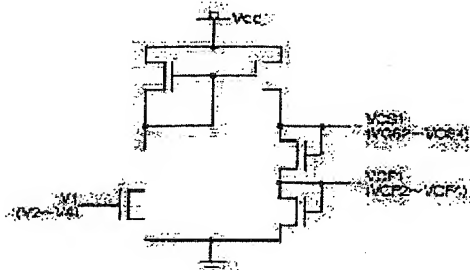
【图 5】

地址	D5	D4	D3	D2	D1	D0	S4	S3	S2	S1	S0	S4	S3	S2	S1	S0	S4	S3	S2	S1	S0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
2	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
3	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
4	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
5	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
6	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
7	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
8	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
9	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
10	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
11	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
12	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
13	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
14	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
15	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

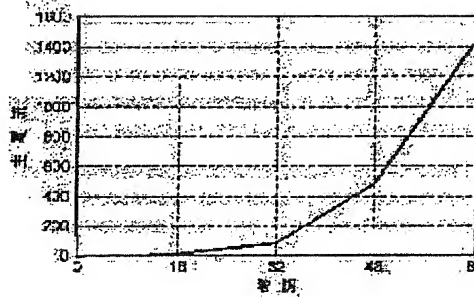
【图 6】

地址	D5	D4	D3	D2	D1	D0	S4	S3	S2	S1	S0	S4	S3	S2	S1	S0	S4	S3	S2	S1	S0
16	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
17	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
18	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
19	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
20	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
21	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
22	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
23	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
24	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
25	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
26	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
27	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
28	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
29	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
30	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
31	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

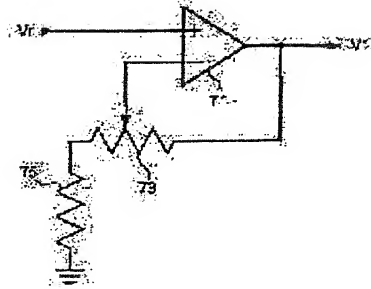
【图 1.01】



【图 1.04】



【图 1.8】



【图 2.2】



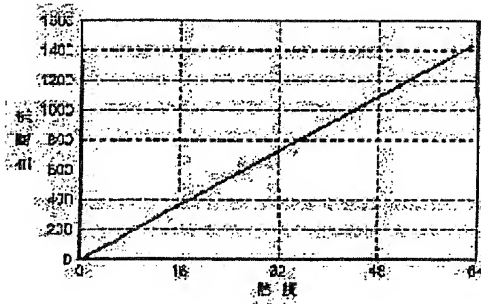
【圖 7】

Index	D5	D4	D3	D2	D1	D0	S4	S3	S2	S1	S0	E2	E1	E0	S1F	S1E	S1S
82	1	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1
83	1	0	0	0	0	1	0	0	0	0	0	1	1	1	1	1	1
84	1	0	0	0	1	0	0	0	0	0	0	1	0	1	1	1	1
85	1	0	0	0	1	1	0	0	0	0	0	1	1	1	1	1	1
86	1	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1
87	1	0	0	0	0	1	0	0	0	0	0	0	1	1	1	1	1
88	1	0	0	0	1	0	0	0	0	0	0	1	1	1	1	1	1
89	1	0	0	0	1	1	0	0	0	0	0	1	1	1	1	1	1
90	1	0	0	1	0	0	0	0	0	0	0	0	1	1	1	1	1
91	1	0	1	0	0	1	0	0	0	0	0	1	1	1	1	1	1
92	1	0	1	0	1	0	0	0	0	0	0	1	1	1	1	1	1
93	1	0	1	0	1	1	0	0	0	0	0	1	1	1	1	1	1
94	1	0	1	0	1	0	0	0	0	0	0	1	1	1	1	1	1
95	1	0	1	0	1	1	0	0	0	0	0	1	1	1	1	1	1
96	1	0	1	0	1	0	0	0	0	0	0	1	1	1	1	1	1
97	1	0	1	0	1	1	0	0	0	0	0	1	1	1	1	1	1
98	1	0	1	0	1	0	0	0	0	0	0	1	1	1	1	1	1
99	1	0	1	0	1	1	0	0	0	0	0	1	1	1	1	1	1

圖 81

[illegible]

【圖 1-5】



【圖 1.61】

